

リン原子導入による超低欠陥 SiC / 絶縁膜界面の形成

Formation of high-quality SiC/insulator interface by phosphorus incorporation

奈良先端科学技術大学院大学・物質創成科学研究科 助教 矢野 裕司
Graduate School of Materials Science, Nara Institute of Science and Technology,
Hiroshi Yano

1. はじめに

現代社会において、活動の源であるエネルギーの消費は増加し続けている。特に、様々な形で利用可能な電気エネルギーの需要は、今後飛躍的に増加することが予想される。しかし、発電量の増加に伴って、地球温暖化や化石燃料の枯渇などに代表される環境問題が深刻化してきている。また、2011年3月11日に発生した東北地方太平洋沖地震により原子力発電所を初めとして多数の発電所が停止し、関東地方を中心に電力供給が不足した状態となった。このような背景の下、電気エネルギーを有効に使う省エネルギー化への取り組みが非常に重要となっている。電気エネルギーを有効活用するため、パワーエレクトロニクスが活用されている。ここでは、直流・交流変換や電力輸送などにおける電圧や周波数の制御が行われ、多数のパワー半導体デバイスが使用されている。これらのパワー半導体デバイスの低損失化・高性能化を図ることが省エネ社会の実現に繋がる。

現在のパワー半導体デバイスにはSiが用いられている。これらは超LSIの微細加工技術を利用することで高性能化が進められ、Siの物性を極限にまで引き出すことができるようになった。このため、Siパワー半導体デバイスは物性に由来する性能限界に近づきつつあり、さらなる低損失化・高性能化の要望には応えることが難しい。そこで、Siに代わる次世代パワー半導体デバイス材料としてSiC（シリコンカーバイド、炭化ケイ素）が注目されている。

SiCはSiより優れた物性を有する。しかし、SiCを用いて金属—酸化膜—半導体（MOS）

構造を作製すると、酸化膜/SiC界面に高密度な界面準位が形成されてしまう問題がある。これにより、SiC MOS電界効果トランジスタ（FET）のチャネル移動度が小さくなるため、SiCの優れた物性を活かした低損失なパワーMOSFETの実現が困難となっている。近年、我々は酸化膜/Si面4H-SiC界面にリン（P）を導入することで、界面準位の原因の一つである界面近傍の酸化膜トラップ（NIT）が低減され、高いチャネル移動度が得られることを明らかにした[1,2]。また、カーボン（C）面はSi面に比べて酸化速度が約10倍速く、プロセス温度を低くすることができるため、製造コストを下げるのが可能である。さらに、C面は酸化条件を最適化することでSi面より高いチャネル移動度が報告されている[3,4]。そこで、本研究ではC面4H-SiCのMOS構造に対する界面へのP導入効果を検証し、MOSFET特性の改善を図った。

2. リン導入したC面4H-SiC MOSキャパシタの界面特性

n型MOSキャパシタの作製には4度のオフ角を有するn型C面4H-SiCで、実効ドナー密度 $N_d-N_a=8 \times 10^{15} \text{ cm}^{-3}$ のn型エピタキシャル層を有する基板を用いた。RCA洗浄した基板を酸化炉に導入し、1250°Cで10分間のドライ酸化を行い、約43nmのSiO₂酸化膜を形成した。続いてサンプルをPOCl₃拡散炉に導入し、N₂、O₂、POCl₃の混合ガス雰囲気において900°Cまたは1000°Cで10分間のPOCl₃アニールを行った。POCl₃アニール直後に900~1000°C

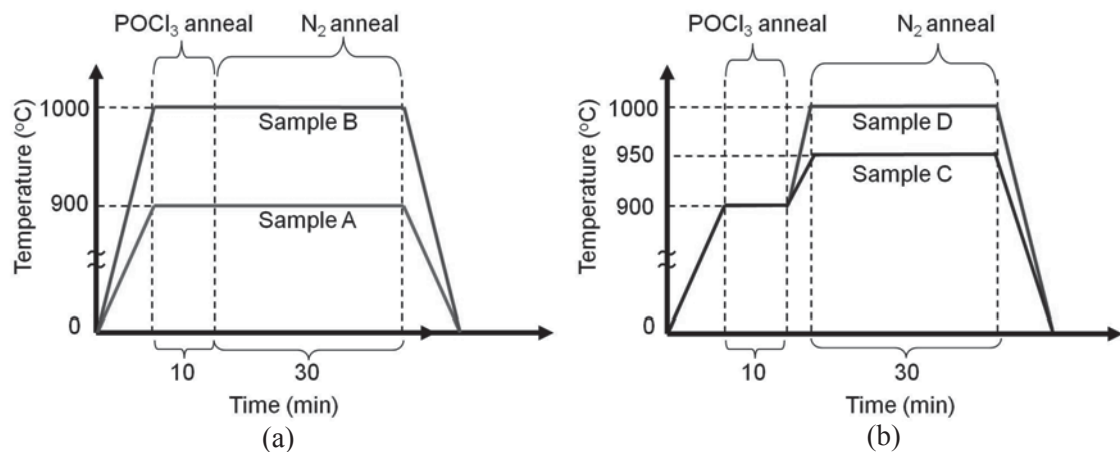


Fig. 1. Temperature profiles of POCl_3 and subsequent N_2 annealing.

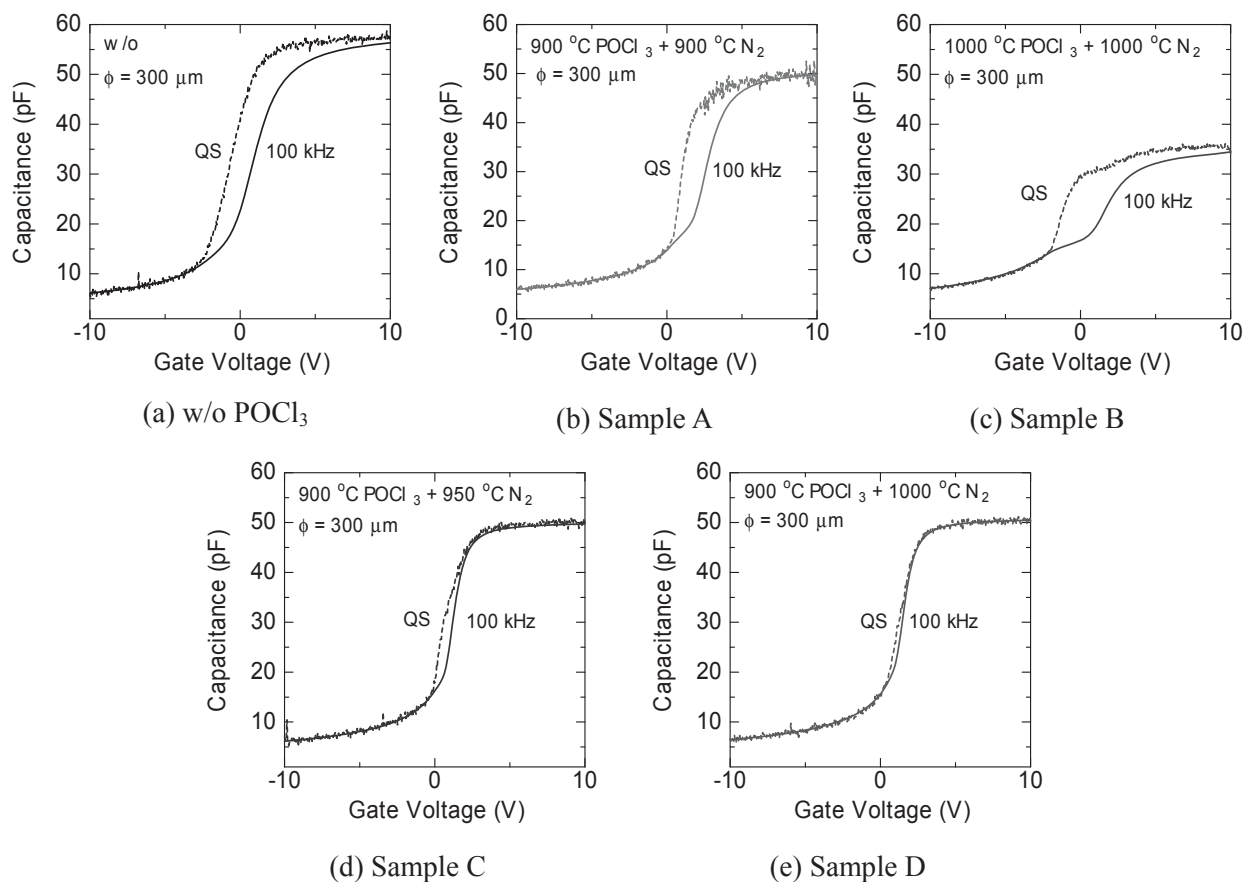


Fig. 2. Hi-lo C - V curves for each sample.

にて30分間の N_2 アニールを行い、Pを界面に拡散させた。 POCl_3 および N_2 アニール時の温度プロファイルを図1に示す。処理温度プロファイルの異なる各サンプルを図のようにSample A~Dと名付ける。Alを真空蒸着してゲート(直径 $300\ \mu\text{m}$)および裏面コンタクト電極を形成した。最後に 400°C で30分のPMA(Post-Metallization Anneal)を行った。PMAは H_2

を含んだ雰囲気で行われるのが一般的であるが、ここでは H_2 の効果を排除するために N_2 中で行った。

作製したMOSキャパシタを容量-電圧(C - V)測定により界面特性の評価を行った。界面準位密度(D_{it})を高周波(100kHz) C - V 特性と準静的(Quasistatic, QS) C - V 特性を組み合わせたHi-Lo C - V 法により算出した。

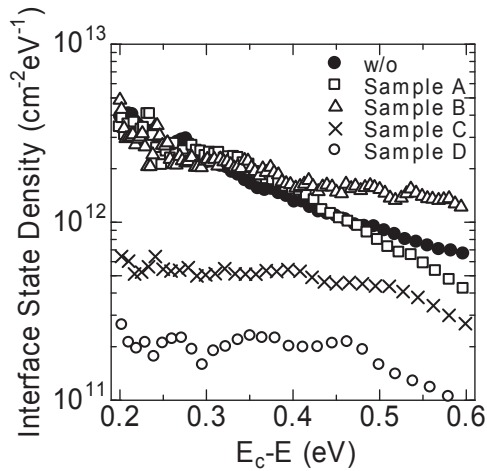


Fig. 3. Distribution of D_{it} estimated by hi-lo C-V method.

図2 (a) ~ (c) に、アニールなし、900 °C および 1000 °C で POCl_3/N_2 アニールを行ったサンプルの Hi-Lo C-V 特性を示す。フラットバンド電圧は POCl_3/N_2 アニールにより正方向へとシフトした。一方、高周波と準静的容量の差はほとんど変化していない。また、蓄積容量は POCl_3/N_2 アニールによって小さくなっており、これは酸化膜厚が増加したことを示している。図3に界面準位密度の分布を示す。Si 面 4H-SiC の場合、Sample B で行った 1000 °C の POCl_3/N_2 アニールは D_{it} 低減に対して最も効果的なプロセスである [1,2]。しかし、C 面 4H-SiC では、1000 °C のアニールでは D_{it} の改善は全く見られなかった。 POCl_3 アニールにより SiO_2 に P を導入するためには、 O_2 ガスの添加が必要である。C 面は酸化速度が Si 面より早いため、添加された O_2 ガスによって SiC が酸化されて新たに SiO_2 が形成される。900 ~ 1000 °C で形成された界面は欠陥が多く、質の悪い界面ができていると考えられる。1000 °C の POCl_3/N_2 アニールで増加した酸化膜厚は約 26nm であった。二次イオン質量分析 (SIMS) 法からは P が界面にまで到達していることが確認されたが、新たに形成された酸化膜部分には残留 C も多量に検出された。P による界面欠陥低減効果は、多量の C によって打ち消されたものと考えられる。900 °C アニールでは酸化膜厚の増加は 5.6nm に抑えられたが、界面準位密度の低減はほとんど見られなかった。

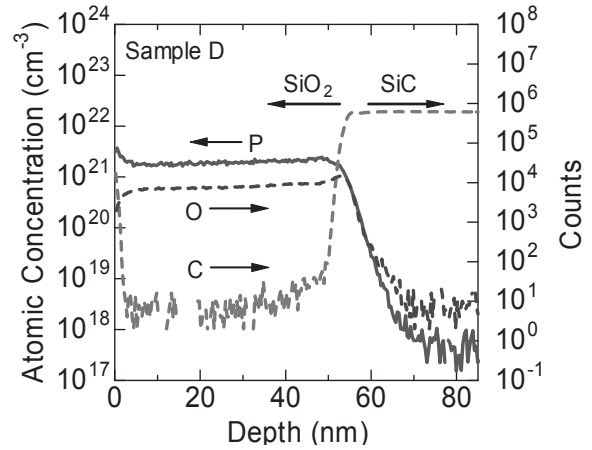


Fig. 4. Depth profile of each element for Sample D.

900 °C では十分な量の P が界面にまで到達していないことが SIMS から確認された。

3. C 面に適した POCl_3 アニール法の提案

そこで、 POCl_3 アニール中の酸化膜増加を抑えつつ、界面にまで P を導入できるように、C 面に適した界面準位密度低減プロセスを考案した。その温度プロファイルを図1 (b) に示す。 POCl_3 アニール温度を 900 °C に抑えることで酸化膜の増加を抑える。そして、その後の N_2 アニール温度を 950 または 1000 °C にすることで P を界面にまで到達させることを考えた。この方法でアニールした Sample C および D の Hi-Lo C-V 特性を図2 (d) および (e) に示す。 N_2 アニール温度が高いほうが高周波と準静的容量の差が小さくなっていることがわかる。界面準位密度を算出した結果を図3に示す。伝導帯から 0.2 ~ 0.6eV の評価できる範囲で、 D_{it} の低減は顕著である。特に 1000 °C で N_2 アニールした Sample D は $2 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ にまで界面準位密度を低減できた。図4に、Sample D について SIMS 測定にて調べた酸化膜中の P、C、O の分布を示す。P 原子は酸化膜中に $2 \times 10^{21} \text{ cm}^{-3}$ の濃度で一様に分布していることがわかる。P は SiC 中に拡散しているように見えるが、これは SIMS 測定時に見られるノックオン現象のためであり、この結果からは SiC 中へ P は拡散していないと判断できる。

4. リン導入による C 面 4H-SiC MOSFET の特性改善

C 面に対して行った POCl_3 アニールの効果を実デバイスで調べるため、プレーナ型 n チャネル MOSFET を作製した。用いた基板は 4 度オフ C 面 4H-SiC エピタキシャル基板であり、p 型エピ層の実効アクセプタ濃度は $N_a - N_d = 8 \times 10^{15} \text{ cm}^{-3}$ である。ソース・ドレイン領域を P イオン注入で形成した後、MOS キャパシタと同じ方法で酸化膜の形成と POCl_3/N_2 アニールを行った。酸化膜の増加を抑えるため、 POCl_3 アニールは 900°C とした。チャンネル長/幅は $30 \mu\text{m}$ と $200 \mu\text{m}$ である。

ドレイン電圧 (V_{ds}) を 0.1V としたときのドレイン電流-ゲート電圧 ($I_d - V_{gs}$) 特性を図 5 (a) に示す。 N_2 アニール温度が高くなるほど大きなドレイン電流が得られた。ドライ酸化だけの Sample w/o および 900°C で N_2 アニールした Sample A では、非常に小さいドレイン電流しか得られなかった。図 5 (b) に各デバイスの $I_d - V_{gs}$ 特性から算出した電界効果チャンネル移動度のゲート電圧依存性を示す。Sample D の電界効果移動度が最も大きく、ピーク値で $37 \text{ cm}^2/\text{Vs}$ が得られた。これは、MOS 界面に P を導入したことにより界面準位密度を低減させた効果が明確に表れたものであるといえる。このデバイスのしきい値電圧は 2.5V であり、サブスレシヨルド係数 (S 値) は 297 mV/

decade と良好な値を示した。

5. まとめ

本研究では、C 面 4H-SiC / 酸化膜界面に P を導入することで MOS 界面欠陥を極限にまで低減させることを目指した。C 面 4H-SiC に対して Si 面 4H-SiC の場合と同様な条件で POCl_3/N_2 アニールを行っても、MOS 界面特性の改善効果は得られなかった。SIMS 分析から POCl_3 アニール中に増加した酸化膜中には多量の残留 C が蓄積していることがわかり、これによる欠陥発生が P による欠陥低減効果を打ち消してしまうと考えられる。そこで、酸化膜の増加を抑えて界面にまで P を到達させる C 面用のプロセスを考案した。 900°C で POCl_3 アニールを行うことで酸化膜の増加を抑え、その後の N_2 アニールを 1000°C で行うことで界面にまで P を到達させることができた。その結果、1 桁以上の界面準位密度の低減が達成され、MOSFET のチャンネル移動度は $37 \text{ cm}^2/\text{Vs}$ にまで向上させることができた。

しかし、Si 面で達成されたチャンネル移動度 ($90 \text{ cm}^2/\text{Vs}$) に比べると、まだ小さい。C 面をドライ酸化で形成した界面の品質は非常に悪い。ウェット酸化でよい界面が形成されることが報告されている [3]。アニール前の界面品質を良くすることで、さらにチャンネル移動度の改善が期待できる。また、他の処理 (NO アニール)

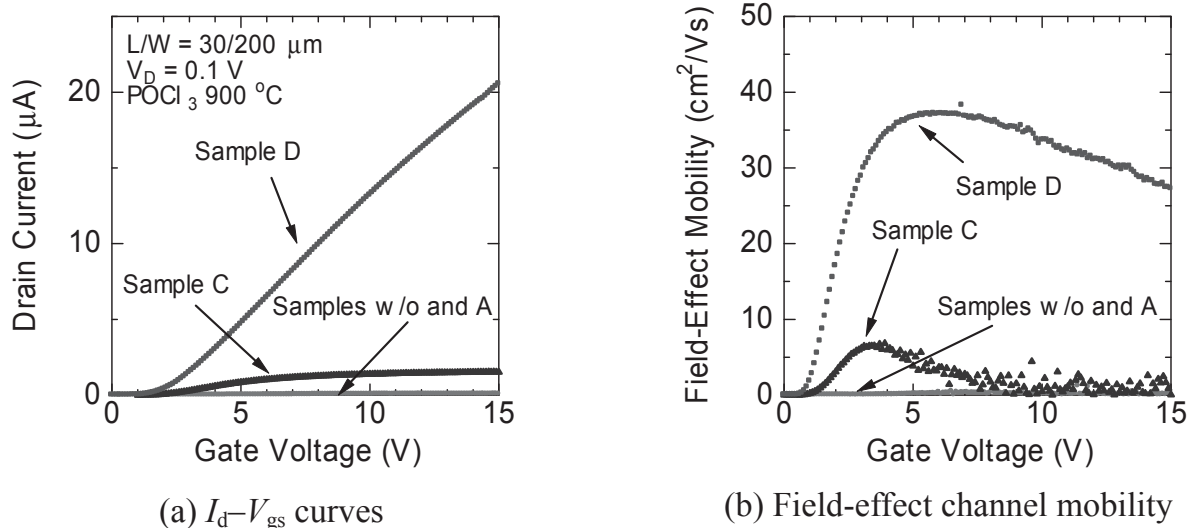


Fig. 5. Electrical properties of C-face 4H-SiC MOSFETs fabricated by each annealing process.

ルや H₂ アニール) と組み合わせることで超低欠陥な SiC の MOS 界面形成が期待される。

6. 謝辞

本研究を進めるにあたり、援助いただきました財団法人近畿地方発明センターに感謝致します。

参考文献

- [1] D. Okamoto, H. Yano, K. Hirata, T. Hatayama and T. Fuyuki, *IEEE Electron Device Lett.*, **31**, 710 (2010).
- [2] D. Okamoto, H. Yano, T. Hatayama and T. Fuyuki, *Appl. Phys. Lett.*, **96**, 203508 (2010).
- [3] K. Fukuda, M. Kato, K. Kojima and J. Senzaki, *Appl. Phys. Lett.*, **84**, 2088 (2004).
- [4] T. Kimoto, Y. Kanzaki, M. Noborio, H.

Kawano and H. Matsunami, *Jpn. J. Appl. Phys.*, **44**, 1213 (2005).

研究成果発表

- (1) S. Kotake, H. Yano, D. Okamoto, T. Hatayama, and T. Fuyuki, *Mater. Sci. Forum*, **679-680**, 425 (2011).
- (2) S. Kotake, H. Yano, D. Okamoto, T. Hatayama, and T. Fuyuki, *The 8th European Conference on Silicon Carbide and Related Materials (ECSCRM2010)*, Mo3-4, Oslo (Norway), 2010/08/30.
- (3) 小竹慎也、矢野裕司、岡本大、畑山智亮、冬木隆、SiC 及び関連ワイドギャップ半導体研究会 第19回講演会、P-51、つくば国際会議場、2010/10/21.